

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-111541

(43)Date of publication of application : 23.04.1999

(51)Int.Cl. H01F 30/00

H01F 17/00

(21)Application number : 09-291551

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 07.10.1997

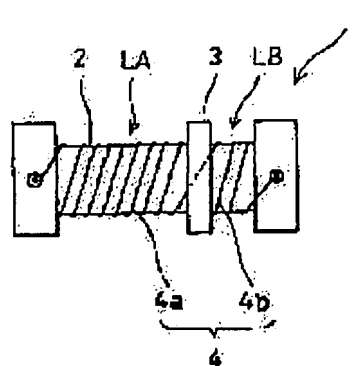
(72)Inventor : SUGITANI MASAMI

(54) UNEQUALLY SPLIT INDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an inductor device which can fulfill sufficient noise- removing function over a wide frequency range.

SOLUTION: A plurality of (unequally split) split inductors LA and LB having inductance values are connected in series and, at the same time, the inductance values of the inductors LA and LB are selected so that Q of the series resonance of the inductors LA and LB at the frequency of the series resonance which occurs between the self-parallel resonance frequencies of the inductors LA and LB may become ≤ 1 . In addition, the frequency of the series resonance is made lower than the resonance frequency of the magnetic wall of the magnetic material for core of the split inductors having adjacent self-parallel resonance frequencies on the high-frequency side.



LEGAL STATUS

[Date of request for examination] 06.01.2004

[Date of sending the examiner's decision of rejection] 05.09.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

C

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-111541

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 F 30/00
17/00

H 0 1 F 15/14
17/00

D

審査請求 未請求 請求項の数7 F D (全 11 頁)

(21) 出願番号

特願平9-291551

(22) 出願日

平成9年(1997)10月7日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 杉谷 昌美

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

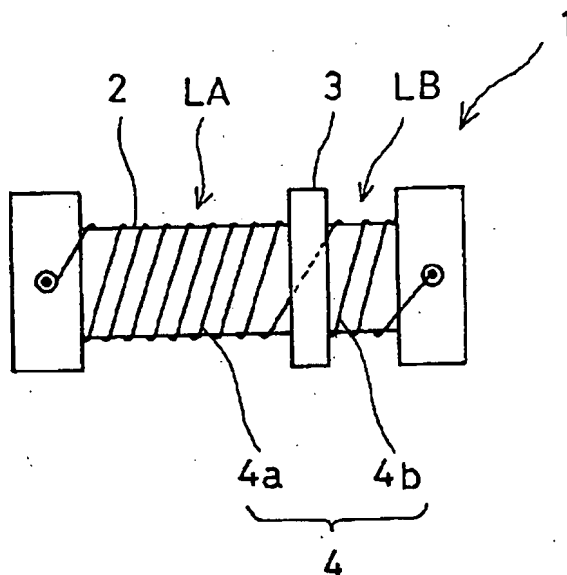
(74) 代理人 弁理士 西澤 均

(54) 【発明の名称】 非均等分割型インダクタデバイス

(57) 【要約】

【課題】 広い周波数範囲で十分なノイズ除去機能を発揮させる。

【解決手段】 インダクタンス値が互いに異なる（非均等分割されている）複数の分割インダクタ L A、L B を直列に接続するとともに、各分割インダクタ L A、L B の自己並列共振周波数の間に生じる直列共振の周波数において、直列共振の Q が 1 以下になるように各分割インダクタ L A、L B のインダクタンス値を選択する。また、前記直列共振の周波数を、高周波側で隣り合う自己並列共振周波数を持つ分割インダクタのコア用磁性体材料の磁壁共鳴周波数以下の周波数になるようにする。



【特許請求の範囲】

【請求項1】 コア用磁性体に巻線が施されてなるインダクタデバイスにおいて、

インダクタンス値が互いに異なる（非均等分割されている）複数の分割インダクタが直列に接続されているとともに、

前記各分割インダクタが、各分割インダクタの自己並列共振周波数の間に、インダクタンス値が大きい方のインダクタが持つストレーキャパシタとインダクタンス値が小さい方のインダクタが持つインダクタンスにより生じる直列共振の周波数において、直列共振のQが1以下になるようにそれぞれのインダクタンス値が選択されていることを特徴とする非均等分割型インダクタデバイス。

【請求項2】 直列共振の周波数が、高周波側で隣り合う自己並列共振周波数を持つ分割インダクタのコア用磁性体材料の磁壁共鳴周波数以下の周波数であることを特徴とする請求項1記載の非均等分割型インダクタデバイス。

【請求項3】 各分割インダクタのコア用磁性体材料が互いに異なることを特徴とする請求項1又は2記載の非均等分割型インダクタデバイス。

【請求項4】 分割インダクタが積み重ねられてなる積層タイプのインダクタデバイスであって、各分割インダクタにおける上下層が巻線未形成の磁性体層であるとともに、各分割インダクタの間に非磁性層が介在していることを特徴とする請求項1～3のいずれかに記載の非均等分割型インダクタデバイス。

【請求項5】 分割インダクタどうしの電氣的接続がパイヤホールによりなされていることを特徴とする請求項4記載の非均等分割型インダクタデバイス。

【請求項6】 分割インダクタの間に介在する非磁性層が接着材から形成されているとともに、分割インダクタどうしの電氣的接続がデバイス側面に設けられた接続用電極によりなされていることを特徴とする請求項4記載の非均等分割型インダクタデバイス。

【請求項7】 分割インダクタの間に介在する非磁性層が導電性接着材から形成されているとともに、非磁性層及びパイヤホールにより分割インダクタどうしの電氣的接続がなされていることを特徴とする請求項4記載の非均等分割型インダクタデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はインダクタデバイスに関し、詳しくは、コア用磁性体に巻線を施すことにより形成され、広い周波数範囲にわたって十分なノイズ除去機能を発揮するインダクタデバイスに関する。

【0002】

【従来の技術および発明が解決しようとする課題】 コア用磁性体に巻線（コイル）を施してなるノイズ除去用のインダクタデバイスは、デバイス自身のインダクタンス

と巻線の線間浮遊容量（ストレーキャパシタ）による自己並列共振の周波数までは、周波数の増加につれてインピーダンスが上昇しノイズ除去機能を発揮する。しかし、自己並列共振の周波数を越えるとインピーダンスが減少しノイズ除去機能が損なわれるという問題点がある。

【0003】 この問題点の改善策として、巻線を二等分に分けて巻き、2個のインダクタが直列接続された分割型インダクタデバイスとする方法が知られている。この方法の場合、2つに分割された分だけインダクタンスが小さくなるので、自己並列共振周波数が高くなり、高い周波数域でノイズ除去機能が発揮されるようになる。しかし、この方法の場合、高い周波数域ではノイズ除去機能を向上させることができて、元の低い自己並列共振周波数ではノイズ除去機能が低下してしまうという別の問題が生じ、広い周波数域にわたって十分なノイズ除去機能を得ることができないという問題点がある。

【0004】 そこで、巻線を不等分に分けて巻くことにより、分割された各インダクタのインダクタンスを異ならせ、このインダクタンスの差異（大小）に応じてノイズ除去機能を発揮する周波数域に違いが生じさせる方法が考えられる。この方法の場合、インダクタンスの大きい方が元の低い自己並列共振周波数付近の周波数域でノイズ除去機能を発揮し、インダクタンスの小さい方が高い周波数域でノイズ除去機能を発揮するため、広い範囲でノイズを除去することが可能になる。

【0005】 しかし、インダクタンスに差異（大小）が生じるように分割した場合、インダクタンスの大きい方の分割インダクタの自己並列共振周波数と、インダクタンスの小さい方の分割インダクタの自己並列共振周波数の間の周波数の直列共振現象が生じ、これによりインピーダンスが著しく低下して、ノイズ除去機能が大幅に落ち込むため、やはり広い周波数域にわたって十分なノイズ除去機能を発揮させることができないという問題点がある。

【0006】 本発明は、上記問題点を解決するものであり、広い周波数範囲にわたって十分なノイズ除去機能を得ることが可能な非均等分割型インダクタデバイスを提供することを目的とする。

【0007】

【課題を解決するための手段】 上記課題を達成するため、本発明の非均等分割型インダクタデバイスは、コア用磁性体に巻線が施されてなるインダクタデバイスにおいて、インダクタンス値が互いに異なる（非均等分割されている）複数の分割インダクタが直列に接続されているとともに、前記各分割インダクタが、各分割インダクタの自己並列共振周波数の間に、インダクタンス値が大きい方のインダクタが持つストレーキャパシタとインダクタンス値が小さい方のインダクタが持つインダクタンスにより生じる直列共振の周波数において、直列共振のQが1以下になるようにそれぞれのインダクタンス値が

選択されていることを特徴としている。

【0008】また、直列共振の周波数が、高周波側で隣り合う自己並列共振周波数を持つ分割インダクタのコア用磁性体材料の磁壁共鳴周波数以下の周波数であることを特徴としている。

【0009】また、各分割インダクタのコア用磁性体材料が互いに異なることを特徴としている。

【0010】また、分割インダクタが積み重ねられてなる積層タイプのインダクタデバイスであって、各分割インダクタにおける上下層が巻線未形成の磁性体層であるとともに、各分割インダクタの間に非磁性層が介在していることを特徴としている。

【0011】また、分割インダクタどうしの電氣的接続がバイヤホールによりなされていることを特徴としている。

【0012】また、分割インダクタの間に介在する非磁性層が接着材から形成されているとともに、分割インダクタどうしの電氣的接続がデバイス側面に設けられた接続用電極によりなされていることを特徴としている。

【0013】また、分割インダクタの間に介在する非磁性層が導電性接着材から形成されているとともに、非磁性層及びバイヤホールにより分割インダクタどうしの電氣的接続がなされていることを特徴としている。

【0014】

【作用】本発明の非均等分割型インダクタデバイス（以下、適宜「インダクタデバイス」と略記）は、インダクタンス値が非均等分割された複数の分割インダクタが直列接続されており、各分割インダクタのインダクタンス値の間に差異（大小）が生じているため、インダクタンスの大きい方の分割インダクタが低い周波数域でノイズ除去機能を発揮し、インダクタンスの小さい方の分割インダクタが高い周波数域でノイズ除去機能を発揮する。

【0015】一方、分割インダクタの間ではインダクタンス値が互いに異なることから、各分割インダクタのインダクタンスと線間浮遊容量（ストレーキャパシタ）による自己並列共振周波数の間に直列共振が生じるが、この直列共振のQが1以下になるように分割インダクタが選択されているので、自己並列共振周波数の間の周波数域でも必要なインピーダンスを確保することが可能になる。なお、直列共振の性質としてQが低いほどインピーダンスの落ち込みが少ないことは既知のことであり、Q=1において、インダクタで得られるインピーダンス ωL とインダクタのロスによるインピーダンスRとが等しくなる。このように、自己並列共振周波数の間の周波数域でも必要なインピーダンスが確保されることから、インダクタデバイス全体としては、広い周波数範囲にわたって十分なノイズ除去機能を発揮することができる。

【0016】分割インダクタのコア用磁性体の代表的な汎用材料である高透磁率フェライトの場合を例にとると、使用周波数と透磁率の間には、透磁率の大きいもの

ほど低い周波数から透磁率の低下が始まるという関係があり、Snockeの法則として知られている。そして、透磁率の低下が始まる周波数 f_s と透磁率 μ の積がほぼ一定であるといわれており、全てのフェライトについて一律に当てはめられるものではないが、 $f_s \cdot \mu = 5000$ という関係式が代表的なものとして知られる。

【0017】そして、フェライト透磁率の低下が始まる少し手前の周波数からフェライトのロスが逆に増え始めQを低下させる。つまり、インダクタンス分の低下とは逆に分割インダクタの抵抗分がフェライトのロスが増えることによって増大し、インピーダンスが確保される。したがって、分割インダクタの磁性体の材料の選択や分割割合を調整することにより、自己並列共振周波数の間で直列共振のQを1以下として、必要なインピーダンスを維持することが可能となる。

【0018】また、請求項2のように、直列共振の周波数が、高周波側で隣り合う自己並列共振周波数を持つ分割インダクタのコア用磁性体材料の磁壁共鳴周波数以下の周波数であるようにした場合、分割インダクタのロスとインダクタンスの低下をバランスさせてインピーダンスの低下を効果的に防ぐことが可能となる。すなわち、フェライトのロスはフェライト透磁率の低下が始まる少し手前の周波数から増加し始め、磁壁共鳴周波数でピークに達する。このように、磁壁共鳴周波数までは、分割インダクタのロスが増大してゆくため、インダクタンスの低下が補われ、インピーダンスの低下を防ぐことができる。

【0019】また、請求項3のように、各分割インダクタのコア用磁性体材料を異ならせた場合、分割インダクタの選択のために各分割インダクタの磁性体の材料と巻線の巻数の2つの条件を調整することが可能となり、直列共振のQを1以下とするための分割インダクタの選択の自由度を向上させることが可能となる。

【0020】また、請求項4のように、インダクタデバイスが積層タイプであり、各分割インダクタにおける上下層が巻線未形成の磁性体層であって、各分割インダクタの間に非磁性層が介在する構成とした場合、デバイスの小型化が図りやすくなるとともに、各分割インダクタの巻線が磁性体に包まれ、かつ、非磁性層により個々に分離されるため、分割インダクタどうしの分離が確実に行われ、各分割インダクタ間の干渉を防止することが可能となる。

【0021】また、請求項5のように、分割インダクタどうしの電氣的接続をバイヤホールにより行うようにした場合、通常の配線技術で分割インダクタどうしの電氣的接続を容易かつ確実に行うことが可能となり、本発明をより実効あらしめることができる。

【0022】また、請求項6のように、分割インダクタの間に介在する非磁性層が接着材から形成されているとともに、分割インダクタどうしの電氣的接続がデバイス

側面に設けられた接続用電極によりなされている構成の場合、非磁性層により分割インダクタどうしが確実に接合される上、通常の配線技術により分割インダクタどうしの電氣的接続を容易かつ確実にを行うことが可能になる。

【0023】また、請求項7のように、分割インダクタの間に介在する非磁性層が導電性接着材から形成されているとともに、非磁性層及びバイヤホールにより分割インダクタどうしの電氣的接続がなされている構成の場合、導電性接着材からなる非磁性層により分割インダクタどうしをより確実に接合することが可能となるとともに、通常の配線技術で分割インダクタどうしの電氣的接続を容易に実現することが可能になる。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を示してその特徴とするところをさらに詳しく説明する。

【実施形態1】図1は実施形態1のインダクタデバイスを示す平面図、図2はこの実施形態のインダクタデバイスの等価回路図である。図1のインダクタデバイス1は糸巻芯型のフェライトコア2にセパレータ3を境として非均等に分けて巻かれた巻線4で形成されている分割インダクタL A及び分割インダクタL Bが、図2に示すように、直列に接続された構成となっている。セパレータ3の左側の巻線4 aが分割インダクタL Aを形成し、セパレータ3の右側の巻線4 bが分割インダクタL Bを形成する。

【0025】図2に示すように、分割インダクタL AのインダクタンスはL aであり、浮遊容量はC aである。したがって、自己並列共振周波数f aは、 $f a = 1 / [2 \pi (L a \cdot C a)^{1/2}]$ となる。また、分割インダ

クタL BのインダクタンスはL bであり、浮遊容量はC bである。したがって、自己並列共振周波数f bは、 $f b = 1 / [2 \pi (L b \cdot C b)^{1/2}]$ となる。両分割インダクタL A、L Bとも同じフェライトコア材に巻かれており、巻線4 aの巻数の方が巻線4 bの巻数の方よりも多いので、インダクタンスL a > インダクタンスL bとなり、したがって、図3に示すように、自己並列共振周波数f a < 自己並列共振周波数f bであるとともに、両共振周波数f a、f bの間に直列共振周波数f sが現れることになる。この直列共振周波数f sは、(インダクタンス値が大きい方のインダクタである)分割インダクタL Aの浮遊容量(ストレーキャパシタ)C aと、

(インダクタンス値が小さい方のインダクタである)分割インダクタL BのインダクタンスL bが支配的であることから、直列共振周波数f s = $1 / [2 \pi (L b \cdot C a)^{1/2}]$ となる。なお、図3に示すように、巻線非分割のインダクタの場合の自己並列共振周波数f mは自己並列共振周波数f aより少し低く、巻線等分割のインダクタの場合の自己並列共振周波数f nは自己並列共振周波数f aより高くなる。

【0026】さらに、インダクタデバイス1における直列共振周波数f sは、直列共振のQが1以下となり、かつ、高周波側で隣り合う自己並列共振周波数f bを持つ分割デバイスL Bのコア用磁性体材料の磁壁共鳴周波数以下の周波数である。その結果、図3において、一点鎖線H 2で示す巻線非分割のインダクタの場合や二点鎖線H 3で示す巻線等分割のインダクタの場合に比べ、実施形態のインダクタデバイス1は、実線H 1で示すように、広い周波数域で十分なインピーダンスを有するものとなる。なお、上記実施形態では、直列共振周波数f sの直列共振のQが1以下となるようにしているため、上記のような効果を得ることができるが、もし仮に、直列共振周波数f sの直列共振のQが1を越えていれば、図3中に破線H 4で示すように、直列共振周波数f sの位置でインピーダンスが大きく落ち込み、広い周波数域で十分なインピーダンスを有するインダクタデバイスを得ることはできない。

【0027】【実施形態2】次に、本発明の他の実施形態に係る積層タイプのインダクタデバイスについて説明する。図4はこの実施形態2のインダクタデバイスを示す斜視図、図5は要部を分解して示す斜視図である。この実施形態2のインダクタデバイスの等価回路は図2に示す上記実施形態1のインダクタデバイス1の等価回路と同じである。この実施形態2のインダクタデバイス5は、分割インダクタL Aに非磁性体層6を介して分割インダクタL Bが重ねられている積層タイプのインダクタデバイスであって、側面には外部電極7、8が設けられている。

【0028】図5に示すように、導電パターンが形成されていない複数の磁性体層10、10、引出し電極用パターンP aが形成された磁性体層11、巻線用導電パターンP b～P dが形成された複数の磁性体層12、12、及び、接続用のバイヤホールV hが形成された複数の磁性体層13、13が下から順に積層されることにより分割インダクタL Aが構成されており、また、バイヤホールV hが形成された複数の磁性体層13、13、巻線用導電パターンP e、P fが形成された複数の磁性体層14、14、巻線用導電パターンP gと引出し電極用パターンP hが形成された磁性体層15、及び、複数枚の導電パターン未形成の磁性体層10、10が下から順に積層されることにより分割インダクタL Bが構成されている。さらに、非磁性体層6はバイヤホールV hが形成された複数の非磁性体材層6 a、6 aから構成されている。非磁性体材層6 aの層数は分割インダクタL A、L Bで発生する磁束を分離することが可能な層数に設定されている。

【0029】このインダクタデバイス5(図4)では、巻線用導電パターンP b～P dがバイヤホールV hで直列に接続されて分割インダクタL Aの巻線を形成し、巻線用導電パターンP e～P gがバイヤホールV hで接続

されて分割インダクタL Bの巻線を形成している。両分割インダクタL A, L Bどうしの電氣的接続は磁性体層13及び非磁性体層6に設けられたバイヤホールV hを介して行われている。

【0030】分割インダクタL A, L Bの巻線は同じ巻数であるが、分割インダクタL Aの磁性層と分割インダクタL Bの磁性層が透磁率 μ が異なるフェライト材料で形成されていることにより、インダクタンス $L_a > \text{インダクタンス } L_b$ となっている他は、上記の実施形態1の場合と同様のインピーダンス特性を有し、広い周波数域で十分なノイズ除去機能を発揮する。

【0031】また、インダクタデバイス5は、積層タイプであることから小型化が容易で、しかも、各分割インダクタL A, L Bの巻線は完全に磁性体層13で包まれ、かつ非磁性体層6で分離されているので、各分割インダクタL A, L Bどうしの磁氣的分離が十分に行われ、分割インダクタどうしの間の干渉が確実に防止される。

【0032】このインダクタデバイス5を製造する場合、磁性層用グリーンシート及び非磁性層用グリーンシートをそれぞれ準備し、必要な導電パターンやバイヤホールを形成しておいてから、必要枚数のグリーンシートを積み重ね、プレスして焼成した後、外部電極を形成する。通常、各グリーンシートには多数個分の導電パターンやバイヤホールを形成しておいて、プレスした後、個々に切断して分離し焼成を行う。

【0033】なお、この実施形態のインダクタデバイス5の変形例として、分割インダクタL Aの磁性層と分割インダクタL Bの磁性層が同一のフェライト材料で形成され、かつ、両分割インダクタL A, L Bの巻線が異なる構成のものを挙げることができる。このインダクタデバイスの場合、分割インダクタL Aの巻線用導電パターンP b~P dが形成された複数の磁性体層12の層数を多くすることにより、インダクタンス $L_a > \text{インダクタンス } L_b$ とすることになるが、この場合も上記実施形態2のインダクタデバイスと同様の機能を発揮する。

【0034】また、非磁性体層6が介在しない構成のものも、実施形態2のインダクタデバイスの変形例として挙げることができる。

【0035】〔実施形態3〕図6は本発明のさらに他の実施形態にかかるインダクタデバイスを示す斜視図、図7はこの実施形態のインダクタデバイスの要部を分解して示す斜視図である。また、このインダクタデバイスの等価回路は図2に示す通りである。この実施形態のインダクタデバイス9(図6)は、両分割インダクタL A, L Bの間の接続部分の構成が異なっている以外は、先の実施形態2と全く同様の構成及び効果を有するものことから、重複を避けるため、相違する部分のみを説明し、他の部分の説明は省略する。

【0036】このインダクタデバイス9では、分割イン

ダクタL Aの上に非磁性体層16を介して分割インダクタL Bが重ねられているとともに、分割インダクタL A, L Bどうしの電氣的接続が側面の接続用電極17(図6)によりなされている。以下、さらに詳しく説明する。

【0037】分割インダクタL A, L Bの非磁性体層16は、パターンが形成されていない複数の非磁性接着層18, 18から構成されているとともに、分割インダクタL Aの上側部分と分割インダクタL Bの下側部分も、それぞれ、パターンが形成されていない複数の磁性体層10, 10から構成されている。したがって、分割インダクタL A, L Bは接着材層により確実に接合されている。そして、分割インダクタL Aの巻線用導電パターンP dの一端が、長辺側の端部に達する引出し電極用パターンP d1となっているとともに、分割インダクタL Bの巻線用導電パターンP eの一端が、長辺側の端部に達する引出し電極用パターンP e1となっており、両引出し電極用パターンP d1, P e1が接続用電極17で結合されている。

【0038】このインダクタデバイス9を製造するにあたっては、まず、分割インダクタL A及び分割インダクタL Bを個別に製造する。分割インダクタL A, L Bは、必要に応じてグリーンシートに導電パターンやバイヤホールを形成しておき、必要枚数のグリーンシートを積み重ねて、圧着、切断し、焼成することにより得られる。そして、分割インダクタL A, L Bの間に非磁性の接着シートを複数枚介在させて熱圧着するなどして両者を接合した後、接続用電極17及び外部電極7, 8を形成することにより、図6に示すようなインダクタデバイス9が得られる。

【0039】〔実施形態4〕次に、本発明のさらに他の実施形態にかかるインダクタデバイスについて説明する。この実施形態のインダクタデバイスは、2つの分割インダクタの間の非磁性体層が導電性接着材で形成されている他は、先の実施形態2のインダクタデバイスと同様の構成及び効果を有するものであることから、重複を避けるため、相違する部分のみを説明し、他の部分の説明は省略する。

【0040】すなわち、この実施形態のインダクタデバイスは、図4に示す分割インダクタL A及び分割インダクタL Bがそれぞれ別々に作製され、両者の間が非磁性の導電性接着材で接合されている。したがって、非磁性体層6が導電性を有しているので、非磁性体層6にバイヤホールを形成する必要がなく、構成を簡略化することが可能になる。

【0041】〔実施形態5〕図8は本発明のさらに他の実施形態にかかるインダクタデバイスを示す斜視図、図9はこの実施形態のインダクタデバイスの等価回路図である。この実施形態のインダクタデバイス20は、分割インダクタの数が3個である他は、先の実施形態3のイ

ンダクタデバイスと基本的に構成が同じであることから、重複を避けるため、異なる部分のみを説明し、他の部分の説明は省略する。

【0042】この実施形態5のインダクタデバイス20においては、図8に示すように、分割インダクタLBの上に、さらに分割インダクタLCが非磁性体層（非磁性の接着層）16を介して重ねられている。そして、分割インダクタLA、LBの間は、側面（図8の手前側の側面）の接続用電極21により電氣的に接続されているとともに、分割インダクタLB、LCの間は、側面（図8の奥側の側面）の接続用電極22により電氣的に接続されている。すなわち、このインダクタデバイス20においては、巻線用導電パターンの終端及び始端が、各接続用電極21、22と繋がるよう引出し電極用パターンとなっている。

【0043】このインダクタデバイス20を製造するにあたっては、分割インダクタLA～LCをそれぞれ別々に作製しておいて、各分割インダクタLA～LCを非磁性の接着層16で接合する。

【0044】図9に示すように、巻線の巻数や磁性体層用のフェライトの μ などを調整することにより、分割インダクタLA～LCのインダクタンスLa～Lcは、 $L_a > L_b > L_c$ となっている。分割インダクタLAは、インダクタンスがLa、浮遊容量がCaであるから、自己並列共振周波数faは、 $f_a = 1 / [2\pi (L_a \cdot C_a)^{1/2}]$ となる。分割インダクタLBは、インダクタンスがLb、浮遊容量がCbであるから、自己並列共振周波数fbは、 $f_b = 1 / [2\pi (L_b \cdot C_b)^{1/2}]$ となる。分割インダクタLCは、インダクタンスがLc、浮遊容量がCcであるから、自己並列共振周波数fcは、 $f_c = 1 / [2\pi (L_c \cdot C_c)^{1/2}]$ となる。そして、自己並列共振周波数fa、fb、fcの関係は、自己並列共振周波数fa < 自己並列共振周波数fb < 自己並列共振周波数fcとなる。また、両共振周波数fa、fbの間には、直列共振周波数fs1が出現し、両共振周波数fb、fcの間には、直列共振周波数fs2が出現する。直列共振周波数fs1は、（インダクタンス値が大きい方のインダクタである）分割インダクタLAの浮遊容量（ストレーキャパシタ）Caと、（インダクタンス値が小さい方のインダクタである）分割インダクタLB、LCのインダクタンスLb、Lcが支配的であり、直列共振周波数fs1は、 $f_{s1} = 1 / [2\pi \{(L_b + L_c) \cdot C_a\}^{1/2}]$ となる。また、直列共振周波数fs2は、（インダクタンス値が大きい方のインダクタである）分割インダクタLA、LBの浮遊容量の直列接続容量（ストレーキャパシタ）Ca・Cb / (Ca + Cb)と、（インダクタンス値が小さい方のインダクタである）分割インダクタLCのインダクタンスLcが支配的であり、直列周波数fs2は、 $f_{s2} = 1 / [2\pi \{L_c \cdot C_a \cdot C_b / (C_a + C_b)\}^{1/2}]$

となる。

【0045】さらに、この実施形態のインダクタデバイス20における直列共振周波数fs1は、直列共振のQが1以下であって、かつ、高周波側で隣り合う自己並列共振周波数fbを持つ分割デバイスLBのコア用磁性体材料の磁壁共鳴周波数以下の周波数である。また、直列共振周波数fs2は、直列共振のQが1以下であって、かつ、高周波側で隣り合う自己並列共振周波数fcを持つ分割デバイスLCのコア用磁性体材料の磁壁共鳴周波数以下の周波数である。

【0046】これにより、インダクタデバイス20は、図10に実線H5で示すように、広い周波数域にわたって十分なインピーダンスを有するものとなっている。なお、この実施形態のインダクタデバイスでは、直列共振周波数fs1、fs2の直列共振のQが1以下となるようにしているため、上記のような効果を得ることができるが、もし仮に、直列共振周波数fs1、fs2の直列共振のQが1を越えていれば、図10中に破線H6で示すように、直列共振周波数fs1、fs2の位置でインピーダンスが大きく落ち込み、広い周波数域で十分なインピーダンスを有するインダクタデバイスを得ることはできない。

【0047】なお、この実施形態5のインダクタデバイス20において、各分割インダクタの間の電氣的接続が、上記実施形態2のように、バイヤホールで行われているものが、この実施形態5の変形例として挙げられる。また、上記の各実施形態では、分割インダクタの数が2個あるいは3個である場合を例にとって説明したが、分割インダクタの数は、4個以上であってもよい。

【0048】〔実施形態6〕本発明の理解を容易にするため、さらに他の具体的な実施形態にかかるインダクタデバイスについて説明する。この実施形態のインダクタデバイスは、分割インダクタのコア用磁性体材料が特定の材料で形成されている他は、先の実施形態1のインダクタデバイスと同様の構成及び効果を有するものであることから、重複を避けるため、相違する部分のみを説明し、他の部分の説明は省略する。この実施形態6のインダクタデバイスの等価回路も、図2に示す上記実施形態1のインダクタデバイス1の等価回路と同じである。

【0049】実施形態6のインダクタデバイスの分割インダクタLA、LBのコアは、いずれも、透磁率が図11のグラフに示す周波数特性を有する磁性体材料から形成されている。図11のグラフでは、実線MAが複素透磁率の有効分 μ_a を表し、破線MBが複素透磁率の無効分 μ_b を表す。分割インダクタLAのインダクタンスLaは、80 μ H、浮遊容量Caは、19.8pF、自己並列共振周波数faは約4MHzである。分割インダクタLBのインダクタンスLbは、6 μ H、浮遊容量Caは、10pF、自己並列共振周波数fbは、約20MHzである。また、自己並列共振周波数において各分割イ

ンダクタが持つ抵抗分(損失)は、 $R = 2\pi L(\mu a) / (\mu b)$ の関係から求出される。分割インダクタLAの自己並列共振周波数faでの抵抗分は約677Ωであり、分割インダクタLBの自己並列共振周波数fbでの抵抗分は約728Ωである。

【0050】一方、自己並列共振周波数fa、fbの間(約4~20MHzの間)は、キャパシタとなっている分割インダクタLAの19.8pFの浮遊容量Caと、インダクタを維持している分割インダクタLBの6μHのインダクタンスLbの直列回路が形成されていて、直列共振が両共振周波数fa、fbの間に現れる。この直列共振周波数fsは約10MHzである。これは、概算上は約14MHzであるが、14MHzでの透磁率が20MHzでの透磁率よりも大きくなり、インダクタンスも大きくなることによるものである。また、直列共振周波数fsである約10MHzでの分割インダクタLBの抵抗分は約780Ωである。

【0051】以上のデータを基にして、各共振周波数でのインピーダンスZを求め、50Ω系での挿入損失を求めると、次のようになる。なお、このインピーダンスZは、 $Z = (\text{インダクタンス}) / [\text{静電容量}] \cdot [\text{インダクタの抵抗分}]$ となる。したがって、自己並列共振周波数faでのインピーダンスは、約5.8kΩ、自己並列共振周波数fbでのインピーダンスは、約3.4kΩ、直列共振周波数fsでのインピーダンスは、分割インダクタLBの抵抗分のみとなるから、約780Ωである。そして、50Ω系での挿入損失は、図12中に実線WAで示すように、4MHzでは約40dB、直列共振周波数に相当する10MHzでは約25dB、20MHzでは約37dBとなっており、インダクタの抵抗分が常に高くして直列共振に伴う挿入損失の劣化が少なくなるため、十分なノイズ除去機能を発揮させることができる。なお、この実施形態6において直列共振に伴う挿入損失の劣化が少ないのは、直列共振周波数fsの直列共振のQが1以下となるようにしていることによる。

【0052】〔比較形態〕さらに、本発明の理解を容易にするため、上記の実施形態6のインダクタデバイスにおいて、異なる周波数特性を有する磁性体材料から形成されている他は、構成を同じにした比較形態のインダクタデバイスについて説明する。なお、この比較形態のインダクタデバイスの等価回路も、図2に示す上記実施形態1のインダクタデバイス1の等価回路と同じである。

【0053】比較形態のインダクタデバイスの分割インダクタLA、LBのコアは、いずれも、透磁率が図13のグラフに示す周波数特性を有する磁性体材料から形成されている。なお、図13のグラフでも、実線Maが複素透磁率の有効分μaを表し、破線Mbが複素透磁率の無効分μbを示している。そして、図13のグラフに示すような周波数特性を有する磁性体材料を用いた場合、直列共振周波数fsの直列共振のQが1を越え、十分な

抵抗分(損失)を確保することができなくなる。すなわち、分割インダクタLAの4MHzでの抵抗分は約1.4Ω、分割インダクタLBの20MHzでの抵抗分は約71Ω、直列共振が起きる14MHzでの分割インダクタLBの抵抗分は約22.3Ωと大きく低下する。

【0054】そして、各周波数でのインピーダンスZも、4MHzで約2MΩ、14MHzで約22.3Ω、20MHzで約8.8kΩとなり、直列共振周波数では必要なインピーダンスが確保されなくなる。その結果、50Ω系での挿入損失は、4MHzでは約80dB以上、20MHzでは44dBであるが、直列共振周波数に当たる14MHzでは約7.7dBしかなく、十分なノイズ除去機能を発揮させることができなくなる。この比較形態のように、直列共振周波数fsにおいて、直列共振のQが1以下となる条件が満たされない場合、図12中に破線WBで示すように、直列共振に伴う大きな挿入損失の劣化が起こり、広い範囲では十分なノイズ除去機能を発揮することができないことがわかる。

【0055】なお、本発明は、上記実施形態に限定されるものではなく、インダクタンスの分割割合、コア用磁性体の材料、その他に関し、発明の要旨の範囲内において、種々の応用、変形を加えることが可能である。

【0056】

【発明の効果】本発明の非均等分割型インダクタデバイスにおいては、インダクタンスに差(大小)のある複数の分割インダクタが直列接続されているので、インダクタンスの大きな分割インダクタが低い周波数域で十分なノイズ除去機能を発揮するとともに、インダクタンスの小さな分割インダクタが高い周波数域で十分なノイズ除去機能を発揮し、さらに、各分割インダクタが、各分割インダクタの自己並列共振周波数の間に生じる直列共振の共振周波数において、直列共振のQが1以下となるように分割インダクタが選択されているので、自己並列共振周波数の間の周波数域においても必要なインピーダンスが確保されるようになり、インダクタデバイス全体として、広い周波数範囲にわたって十分なノイズ除去機能を発揮することができる。

【0057】また、請求項2のインダクタデバイスのように、直列共振の周波数が、高周波側で隣り合う自己並列共振周波数を持つ分割インダクタのコア用磁性体材料の磁壁共鳴周波数以下の周波数であるようにした場合、分割インダクタのロスとインダクタンスの低下をバランスさせてインピーダンスの低下を十分に防ぐことが可能になり、広い周波数範囲にわたって十分なノイズ除去機能を確実に発揮させることができる。

【0058】また、請求項3のインダクタデバイスのように、各分割インダクタ毎にコア用磁性体材料を異ならせた場合、分割インダクタの選択のために各分割インダクタの磁性体の材料と巻線の巻数の2つの条件を調整することが可能になり、直列共振のQを1以下とするため

の分割インダクタの選択の自由度を向上させることができる。

【0059】また、請求項4のインダクタデバイスのように、各分割インダクタが積層されているとともに、各分割インダクタにおける上下層が巻線未形成の磁性体層であって、各分割インダクタの間に非磁性層が介在している構成とした場合、デバイスの小型化が図りやすくなるとともに、各分割インダクタの巻線が磁性体に包まれ、かつ、非磁性層により個々に分離されるため、分割インダクタどうしの分離が確実に実行され、各分割インダクタ間の干渉を防止することができる。

【0060】また、請求項5のインダクタデバイスのように、分割インダクタどうしの電氣的接続をバイヤホールにより行うようにした場合、通常の配線技術で分割インダクタどうしの電氣的接続を容易かつ確実に実行することが可能となり、本発明をより実効あらしめることができる。

【0061】また、請求項6のインダクタデバイスのように、分割インダクタの間に介在する非磁性層が接着材から形成されているとともに、分割インダクタどうしの電氣的接続がデバイス側面に設けられた接続用電極によりなされている構成の場合、非磁性層により分割インダクタどうしが確実に接合される上、通常の配線技術により分割インダクタどうしの電氣的接続を容易かつ確実に実行することができる。

【0062】また、請求項7のインダクタデバイスのように、分割インダクタの間に介在する非磁性層が導電性接着材から形成されているとともに、非磁性層及びバイヤホールにより分割インダクタどうしの電氣的接続がなされている構成の場合、導電性接着材からなる非磁性層により分割インダクタどうしをより確実に接合することが可能となるとともに、通常の配線技術で分割インダクタどうしの電氣的接続を容易に実現するたことが可能となり、本発明をより実効あらしめることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態（実施形態1）にかかるインダクタデバイスを示す平面図である。

【図2】本発明の一実施形態（実施形態1）にかかるインダクタデバイスの等価回路図である。

【図3】本発明の一実施形態（実施形態1）にかかるインダクタデバイスの対周波数インピーダンス特性を示すグラフである。

【図4】本発明の他の実施形態（実施形態2）にかかる

インダクタデバイスを示す斜視図である。

【図5】本発明の他の実施形態（実施形態2）にかかるインダクタデバイスの要部分解斜視図である。

【図6】本発明のさらに他の実施形態（実施形態3）にかかるインダクタデバイスを示す斜視図である。

【図7】本発明のさらに他の実施形態（実施形態3）にかかるインダクタデバイスの要部分解斜視図である。

【図8】本発明のさらに他の実施形態（実施形態5）にかかるインダクタデバイスを示す斜視図である。

【図9】本発明のさらに他の実施形態（実施形態5）にかかるインダクタデバイスの等価回路図である。

【図10】本発明のさらに他の実施形態（実施形態5）にかかるインダクタデバイスの対周波数インピーダンス特性を示すグラフである。

【図11】本発明のさらに他の実施形態（実施形態6）にかかるインダクタデバイスの分割インダクタ用磁性体の透磁率の対周波数特性を示すグラフである。

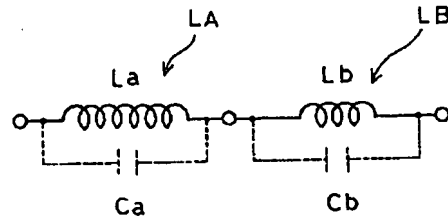
【図12】本発明のさらに他の実施形態（実施形態6）及び比較形態にかかるインダクタデバイスの挿入損失の対周波数特性を示すグラフである。

【図13】比較形態にかかるインダクタデバイスの分割インダクタ用磁性体の透磁率の対周波数特性を示すグラフである。

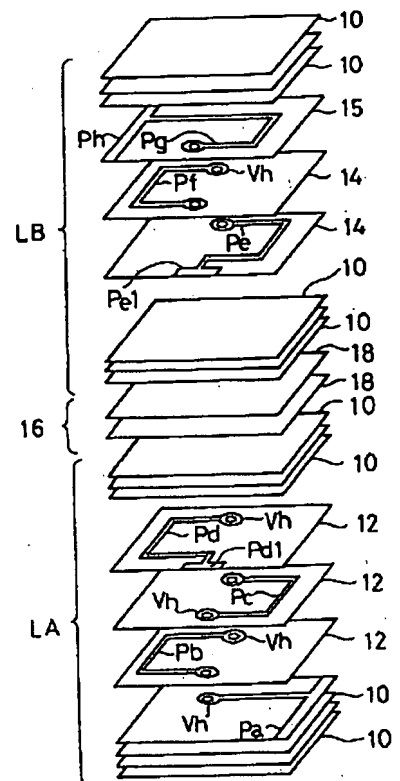
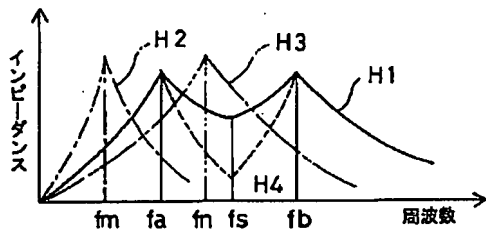
【符号の説明】

1, 5, 9, 20	非均等分割型インダクタデバイス
2	フェライトコア
3	セパレータ
4, 4 a, 4 b	巻線
7, 8	外部電極
10, 11, 12, 13, 14, 15	磁性体層
6, 16	非磁性体層
17, 21, 22	接続用電極
18	非磁性接着層
Ca, Cb, Cc	浮遊容量（ストレーキャパシタ）
fs, fs1, fs2	直列共振周波数
fa, fb, fc	自己並列共振周波数
LA, LB, LC	分割インダクタ
La, Lb, Lc	インダクタンス
Vh	バイヤホール

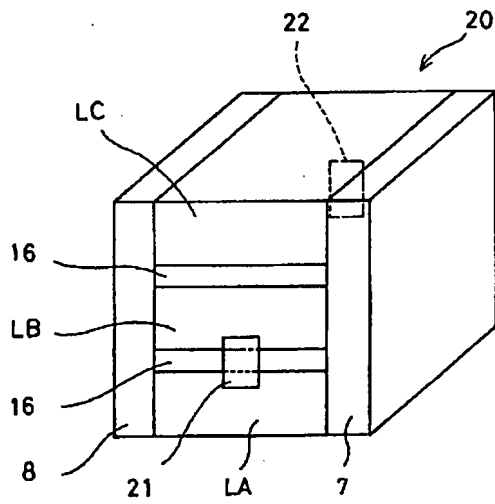
【图 2】



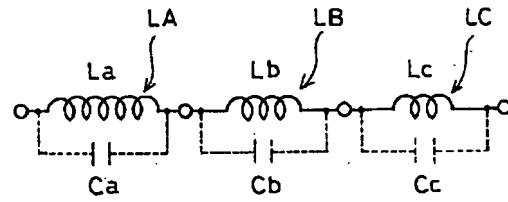
【図 3】



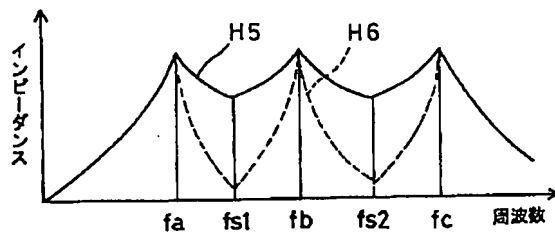
【図8】



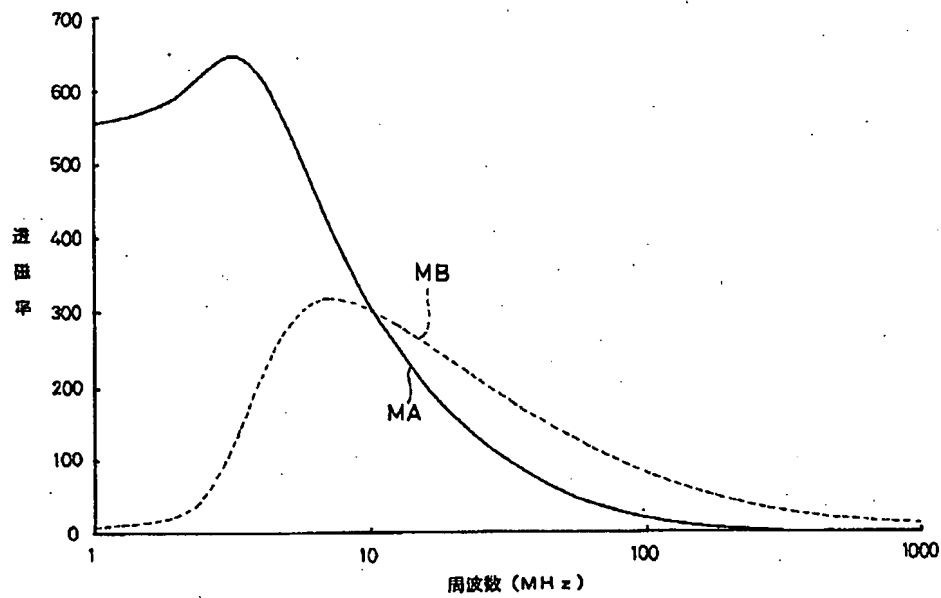
【図9】



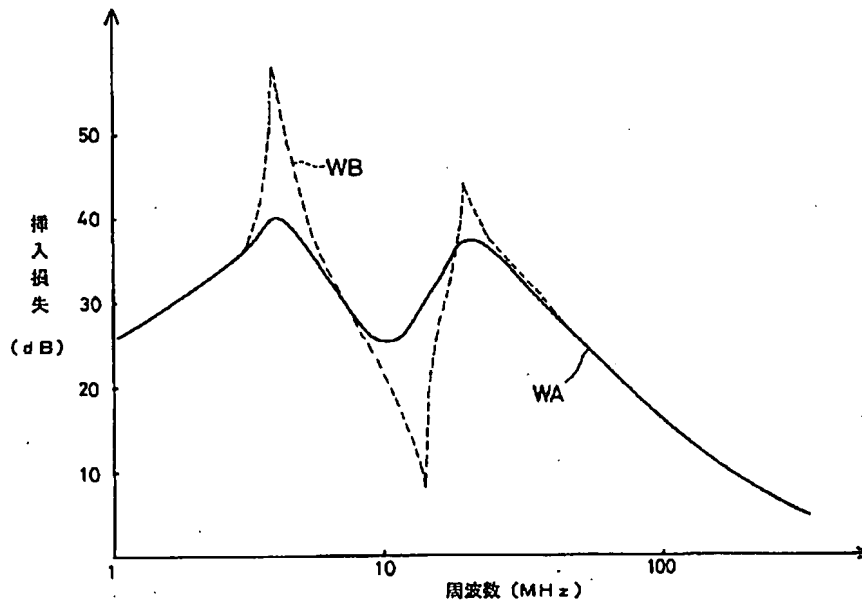
【図10】



【図11】



【図 12】



【図 13】

